

PCF8574

EXPANSOR REMOTO 8-BIT I/O PARA I²C-BUS

1. CARACTERISTICAS

- Suministro de voltaje de funcionamiento 2.5 a 6 V
- Bajo consumo de corriente de espera (standby) de 10 μ A máximo.
- Expansor I²C a puerto paralelo.
- Interrupt salida con drenador-abierto.
- Puerto remoto 8-bit I/O para el I²C-bus.
- Compatible con la mayoría de microcontroladores.
- Salidas Latched con drivers alta capacidad de corriente para conducir LEDs.
- Direccionado hardware por 3 pines dirección para usar hasta 8 dispositivos (16 PCF8574A).
- DIP16, o space-saving SO16 o SSOP20 packages.

(Vea Hojas de Datos)

2. DESCRIPCIÓN GENERAL.

El PCF8574 es un circuito CMOS de silicio. Este tiene el propósito general de expansor remoto de E/S para la mayor parte de familias de microcontroladores a través del bus bidireccional de dos líneas (I²C), está diseñado para operar de 2,5V a 6V VCC. Ver el diagrama de bloques más abajo.

El dispositivo es un expansor remoto de 8bits I/O para bus I²C, cuenta con un puerto I/O (P0-P7) de 8 bits cuasi-bidireccional y una interfaz I²C-bus, incluyendo salidas enclavadas con capacidad de alta corriente para conducir directamente LEDs. Este, también posee una línea de interrupción (/INT), que puede ser conectada a la lógica interrupt del microcontrolador. Mediante el envío de una señal interrupt sobre esta línea, las E/S remotas pueden informar al micro-controlador si hay datos entrantes en sus puertos sin necesidad de comunicarse a través del I²C-bus. Esto quiere decir que el PCF8574 puede seguir siendo un simple dispositivo esclavo.

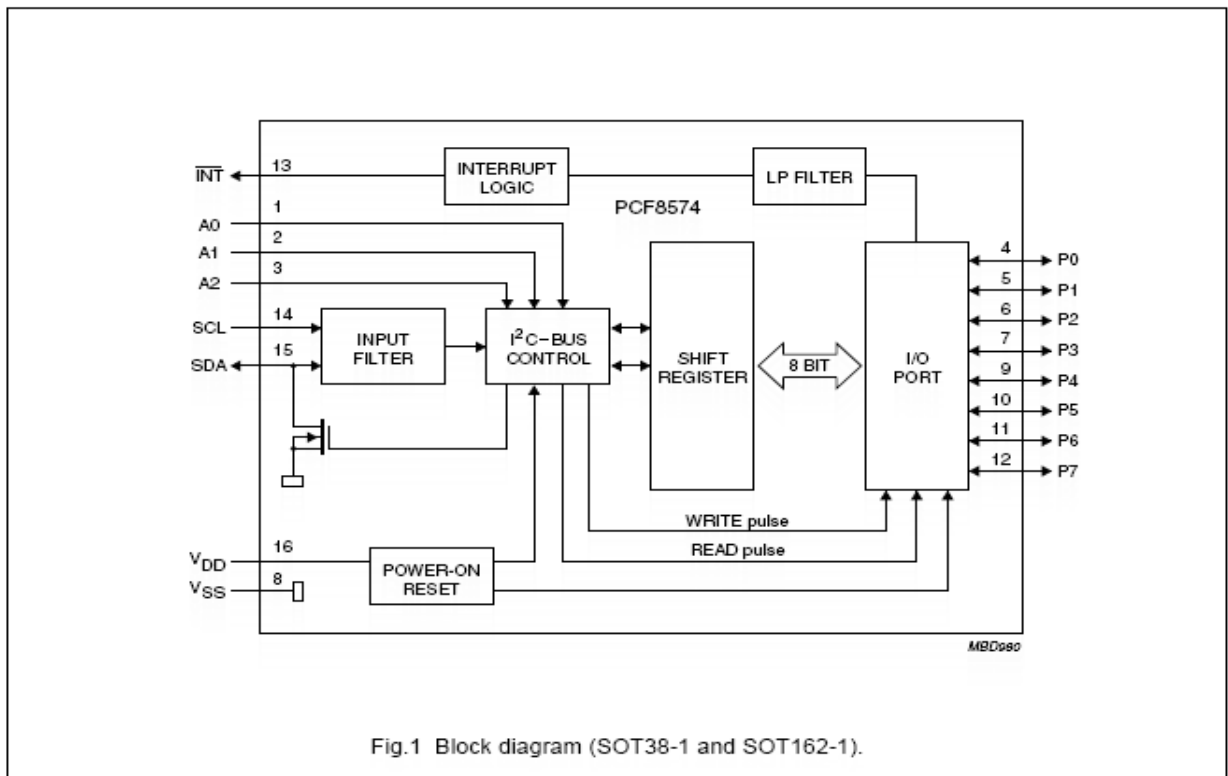
El PCF8574 y PCF8574A son versiones que difieren sólo en su dirección esclavo, como se muestra más abajo, en la Fig. 9. la única diferencia es la dirección del dispositivo.

El PCF8574P tiene una dirección a partir de b0100 0000 (0x20h), el PCF8574AP tiene una dirección a partir de b0111 0000 (0x38h). No obstante, esto no afecta en absoluto al modo en que funciona cada dispositivo, a menos que tenga más de 8 de estos dispositivos. Esto permite una mayor capacidad para el microcontrolador, es decir, 8 E/S para el PCF8574 y 8 para el PCF8574A, permitiendo un máximo de 64 nuevos puertos de E/S para el microcontrolador.

El I²C utiliza las direcciones de 7 bits + 1 bit de control que corresponden a los 7 bits (MSB) más significativos, el bit 0 **lo genera la misma orden de lectura/escritura**. La dirección b0100 0000, en realidad es 0x40h y para la versión PCF8574AP, la dirección b0111 0000 es en realidad 0x70h.

La comunicación I²C con este dispositivo es iniciada por un maestro, enviando una condición de inicio, una transición de alto a bajo en el SDA de E/S mientras que la entrada SCL es alta. Después del la condición de inicio, es enviado el byte de la dirección del dispositivo, el bit más significativo (MSB) en primer lugar, incluido el bit de dirección de datos (R/ W). Este dispositivo no responde a la dirección de llamada general. Este dispositivo no responde a la dirección de llamada general. Después de recibir el byte de dirección válida, este dispositivo responde con un reconocimiento, un bajo en la E/S SDA durante el pulso alto reconocer relacionado con el reloj.

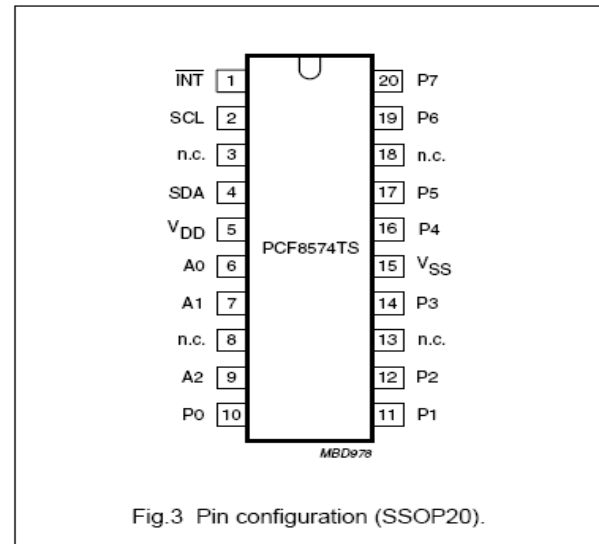
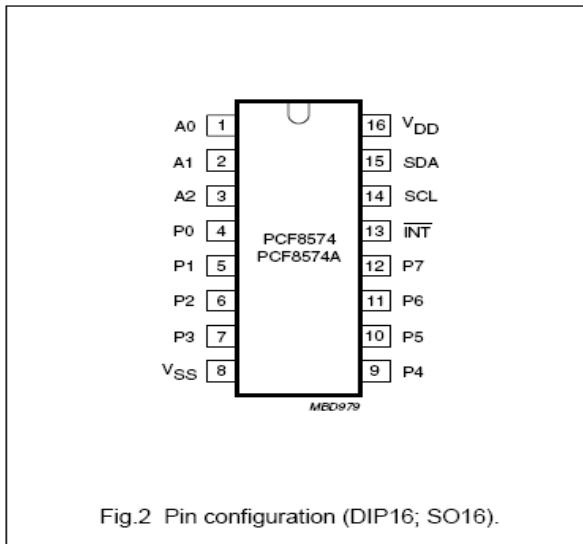
4. DIAGRAMA DE BLOQUES.



5. DESCRIPCION DE PINES.

5 PINNING

SYMBOL	PIN		DESCRIPTION
	DIP16; SO16	SSOP20	
A0	1	6	address input 0
A1	2	7	address input 1
A2	3	9	address input 2
P0	4	10	quasi-bidirectional I/O 0
P1	5	11	quasi-bidirectional I/O 1
P2	6	12	quasi-bidirectional I/O 2
P3	7	14	quasi-bidirectional I/O 3
V _{SS}	8	15	supply ground
P4	9	16	quasi-bidirectional I/O 4
P5	10	17	quasi-bidirectional I/O 5
P6	11	19	quasi-bidirectional I/O 6
P7	12	20	quasi-bidirectional I/O 7
INT	13	1	interrupt output (active LOW)
SCL	14	2	serial clock line
SDA	15	4	serial data line
V _{DD}	16	5	supply voltage
n.c.	-	3	not connected
n.c.	-	8	not connected
n.c.	-	13	not connected
n.c.	-	18	not connected



1997 Apr 02

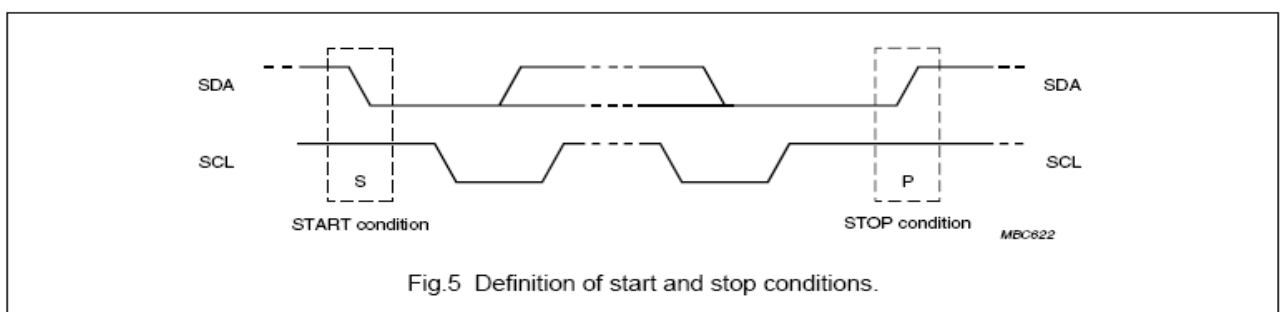
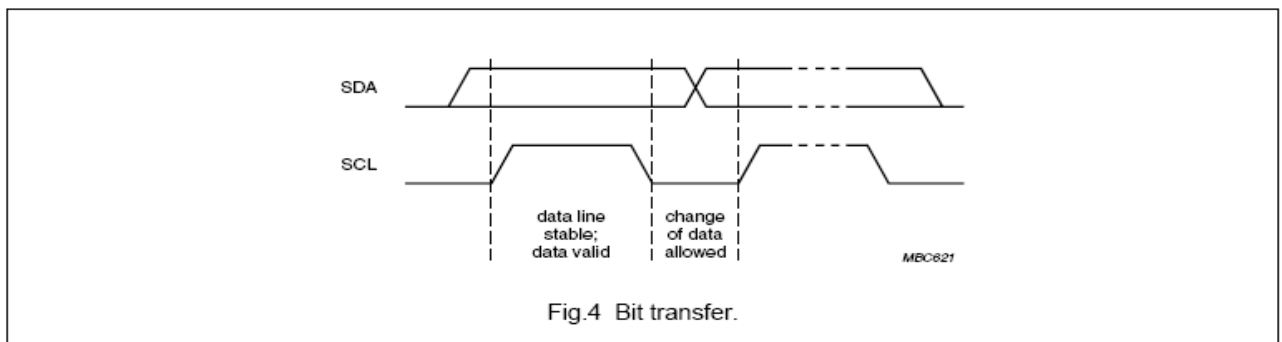
5

6. CARACTERISTICAS DEL I²C-BUS.

El I²C bus son 2 vías, 2 línea de comunicación entre diferentes módulos o circuitos integrados. Las dos líneas, una línea de datos serie (SDA) y una línea de reloj (SCL). Ambas líneas deben ser conectadas a un suministro positivo a través de una polarización a alto (RPA), aun cuando se conecte a la salida de las etapas de un dispositivo. La transferencia de datos sólo se podrá iniciar cuando el bus no esté ocupado.

6.1 BIT TRANSFERENCIA.

Se transfiere un bit de datos en cada pulso de reloj. Los datos en la línea SDA, deben permanecer estables durante el período de pulso ALTO del reloj, con cambios en la línea de datos en este tiempo, será interpretado como señales de control (ver Fig. 4).



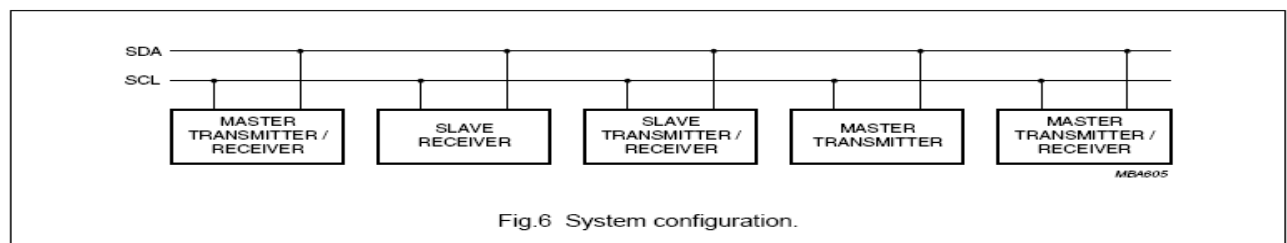
6.2 CONDICIONES DE START Y STOP.

Ambas líneas de datos y reloj siguen siendo ALTO cuando el bus no está ocupado. Una transición de ALTO -a- BAJO de la línea de datos, mientras el reloj es ALTO se define como la condición de inicio (S). Una transición de BAJO -a- ALTO de la línea de datos mientras el reloj es ALTO se define como la condición de parada (P) (ver Fig. 5).

Cada uno de estos ocho puertos puede ser usado como entrada o salida, estas E/S son binarias: esto es son H (1) o L (0). Los puertos de entrada pueden ser usados, por ejemplo, para sensores de tacto (interruptores). Los puertos de salida pueden manejar LEDS, relés u otros dispositivos los cuales pueden conectar o desconectar motores.

6.3 CONFIGURACION DEL SISTEMA.

Un dispositivo que genera un mensaje es un "emisor", un dispositivo que lo recibe, es un "receptor". El dispositivo que controla el mensaje es el 'maestro' y los dispositivos que son controlados por el maestro son los "esclavos" (ver Fig.6).



1997 Apr 02

6

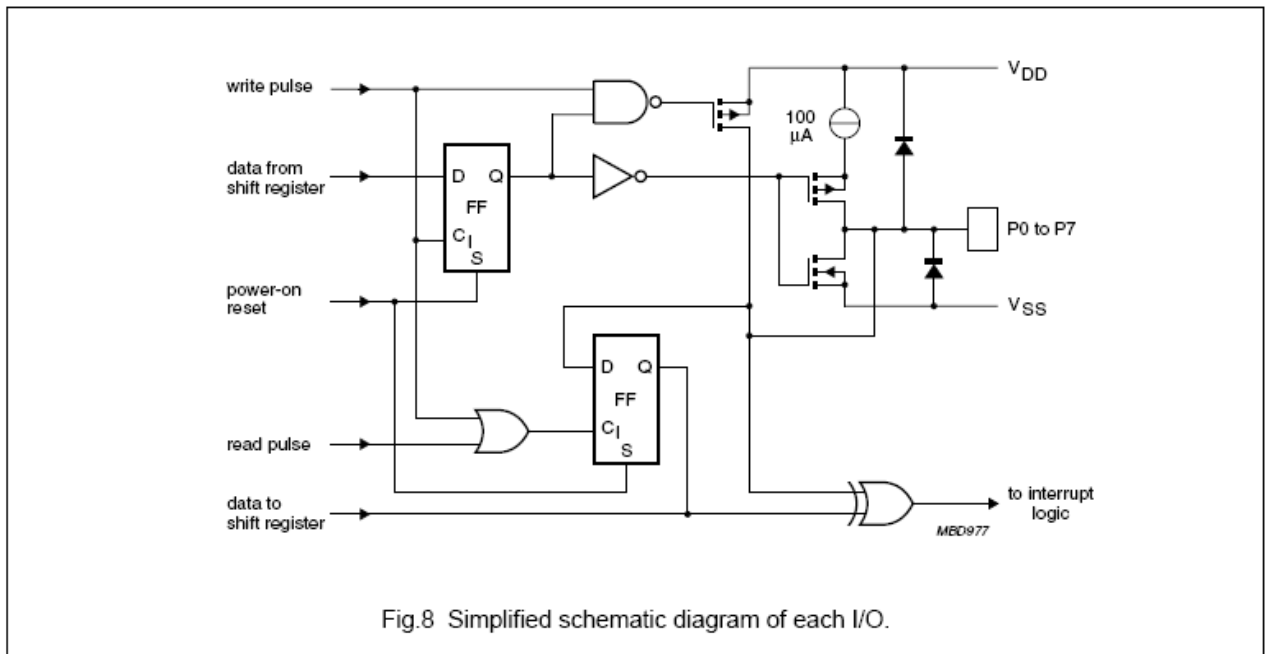
6.4 Reconocer (Acknowledge).

El número de bytes de datos transferidos entre las condiciones de inicio y parada del transmisor al receptor no está limitado. Cada byte de ocho bits está seguido de un bit de reconocimiento. El bit de reconocimiento, es un bit de nivel ALTO, puesto en el bus por el transmisor, mientras el maestro genera un reconocimiento suplementario relacionado con el pulso de reloj.

Un receptor esclavo, cuando es direccionado debe generar un reconocimiento después de la recepción de cada byte. Un maestro, también debe generar un reconocimiento después de la recepción de cada byte que ha sido registrado por los transmisores esclavos. El dispositivo reconoce que la línea SDA tiene una RPB (*pull-down*, resistencia de polarización baja) durante el pulso de reconocimiento de reloj, de modo que la línea SDA sea estable BAJO, durante el período relacionado con el pulso ALTO de reconocimiento de reloj, los tiempos de configuración y mantenimiento deben ser tenidos en cuenta.

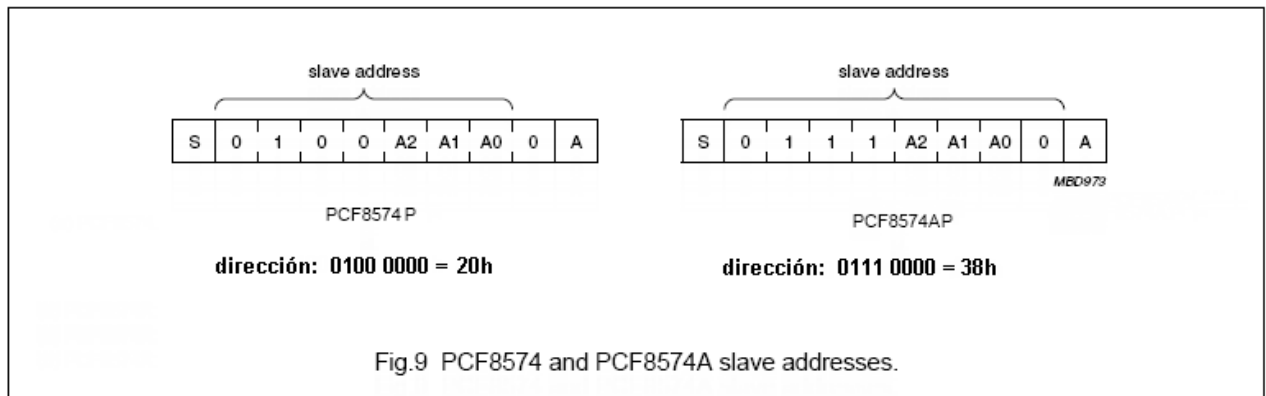
Un maestro receptor, debe señalar un final de los datos al transmisor, para no engendrar un reconocimiento en el último byte que ha sido registrado por el esclavo. En este caso, el transmisor debe dejar la línea de datos ALTA para permitir al maestro engendrar una condición de parada.

7. DESCRIPCION FUNCIONAL.

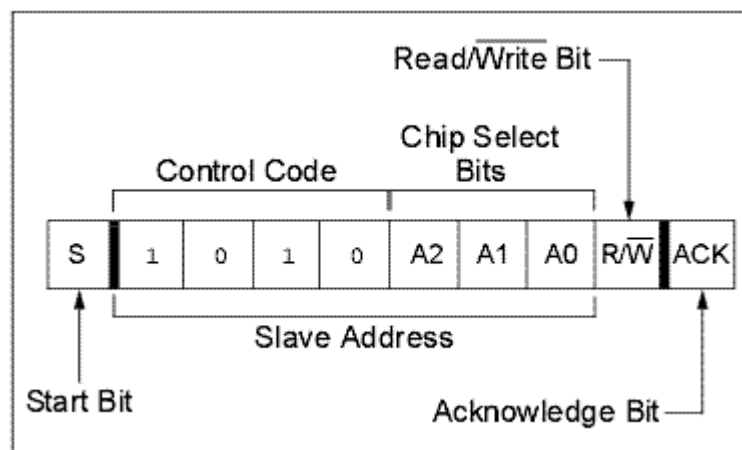


7.1 Direccionar (Addressing).

Para direccionar ver figs. 9, 10 y 11.



Cada una de las ocho E/S del PCF8574, pueden ser independientemente utilizadas por separado, como una entrada o salida. Los datos de entrada se transfieren desde el puerto hasta el microcontrolador por el modo **lectura** (ver Fig. 12). Los datos de salida se transmiten al puerto por el modo de **escritura** (ver Fig. 11).



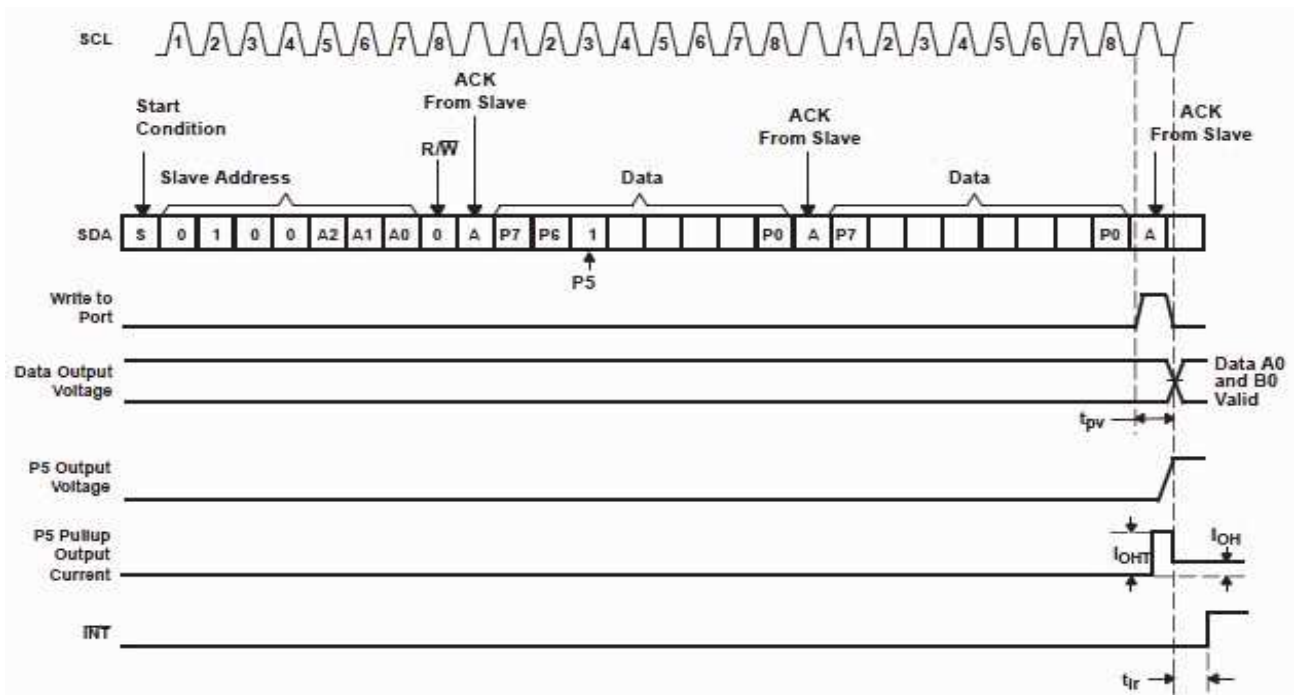


Figure 10. Write Mode (Output)

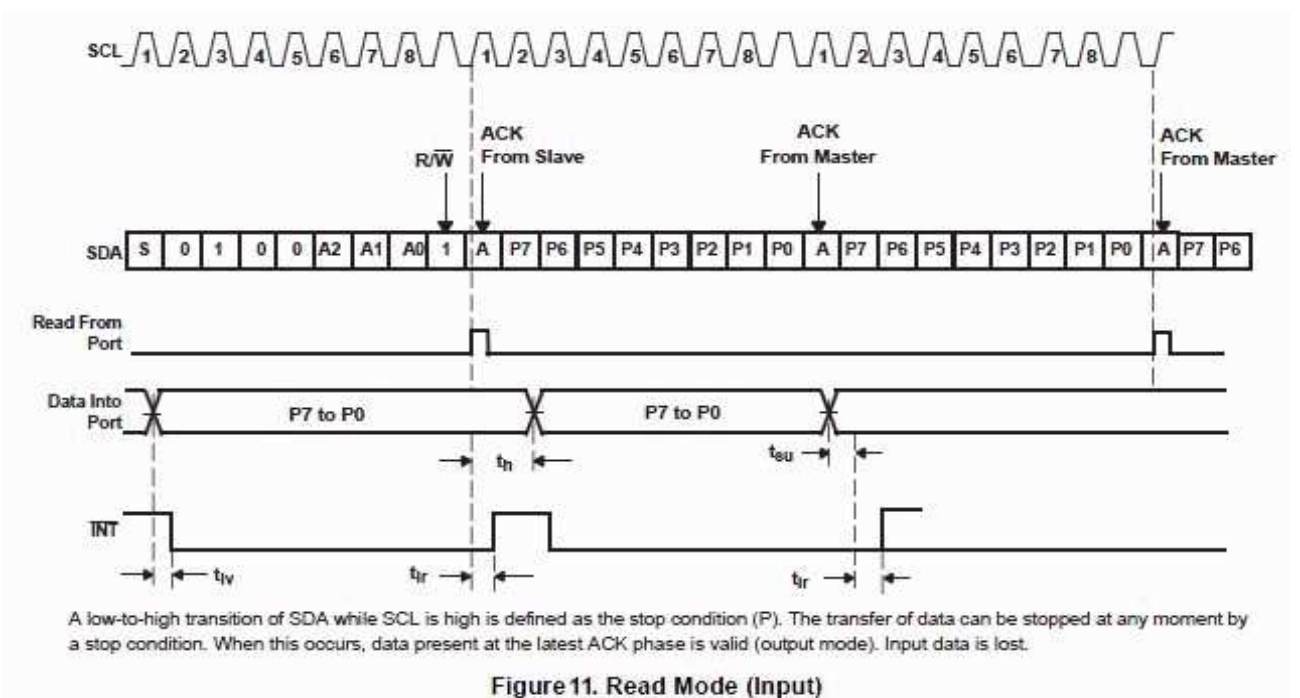


Figure 11. Read Mode (Input)

7.2 Interrupt (ver figs. 12 y 13).

El PCF8574 proporciona una salida de drenaje abierto (/INT), que puede alimentar a una entrada correspondiente del microcontrolador. Esto proporciona a estos chips un tipo de función maestro que, puede iniciar una acción en otras partes del sistema. Se genera una interrupción por cualquier flanco ascendente o descendente de las entradas de puerto en el modo de entrada. Después de un tiempo t_{IV} , /INT es válida.

Restablecer y reactivar el circuito interrupción se logra cuando los datos en el puerto se cambian en la configuración original o se leen o escriben en el puerto que genera la interrupción.

El restablecimiento ocurre así:

- En el modo lectura del bit reconocer, después del borde creciente de la salida de la señal de SCL.
- En el modo escritura del bit reconocer después de la transición de la señal de HIGH-a-LOW de SCL.
- Las interrupciones que se producen durante el pulso de reloj reconocer, se pueden perder (o cortarse mucho) debido al restablecimiento de la interrupción durante este pulso.

Cada cambio de E/S se detectará después de reiniciar y después del siguiente flanco de reloj ascendente, se transmite como /INT. Leer o escribir en otro dispositivo, no afecta al circuito de interrupción.

7.3 Cuasi-bidireccional I/Os (ver Fig. 14)

Un puerto cuasi bidireccional de E/S puede ser utilizado como una entrada o salida sin el uso de una señal de control para los datos de dirección. (Ver Fig. 15).

En el encendido las E/S son ALTAS. En este modo sólo una fuente de corriente a VDD está activa. Un fuerte adicional de RPA a VDD permite bordes de aumento rápido en salidas muy cargadas. Estos dispositivos se encienden cuando una salida se escribe HIGH, y se apagan por el flanco negativo de SCL. Las E/S deben ser ALTA, antes de ser utilizadas como entradas.

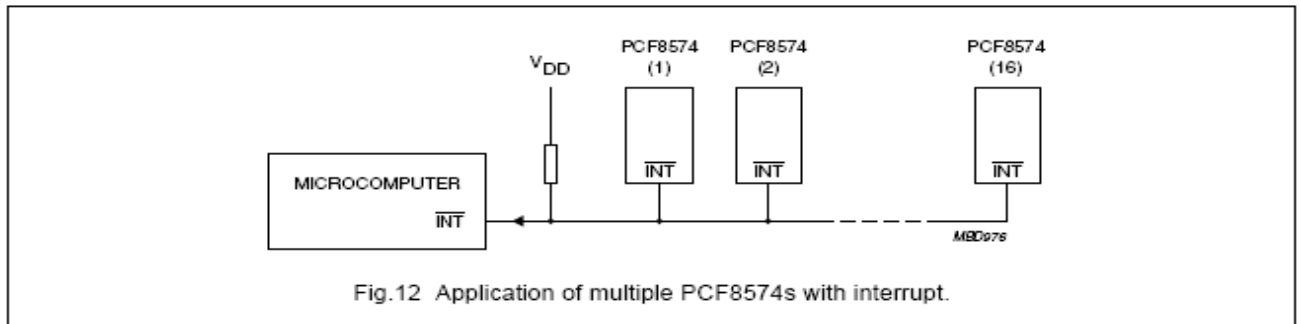


Fig.12 Application of multiple PCF8574s with interrupt.

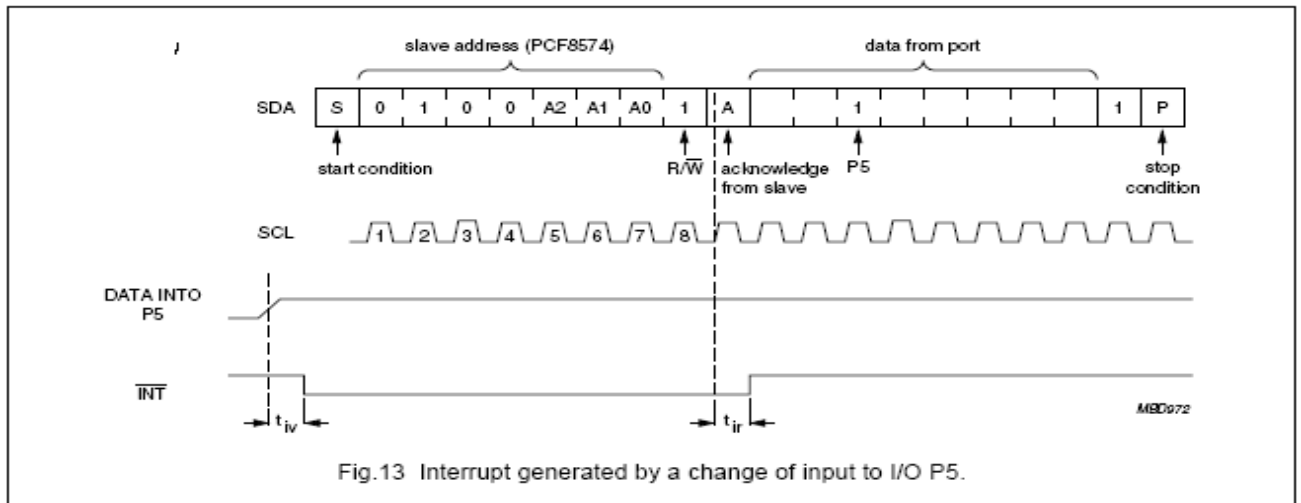


Fig.13 Interrupt generated by a change of input to I/O P5.

Address Reference

INPUTS			I ² C BUS SLAVE ADDRESS
A2	A1	A0	
L	L	L	32 (decimal), 20 (hexadecimal)
L	L	H	33 (decimal), 21 (hexadecimal)
L	H	L	34 (decimal), 22 (hexadecimal)
L	H	H	35 (decimal), 23 (hexadecimal)
H	L	L	36 (decimal), 24 (hexadecimal)
H	L	H	37 (decimal), 25 (hexadecimal)
H	H	L	38 (decimal), 26 (hexadecimal)
H	H	H	39 (decimal), 27 (hexadecimal)

En la figura 15 que sigue se puede apreciar mejor los parámetros de medición de información.

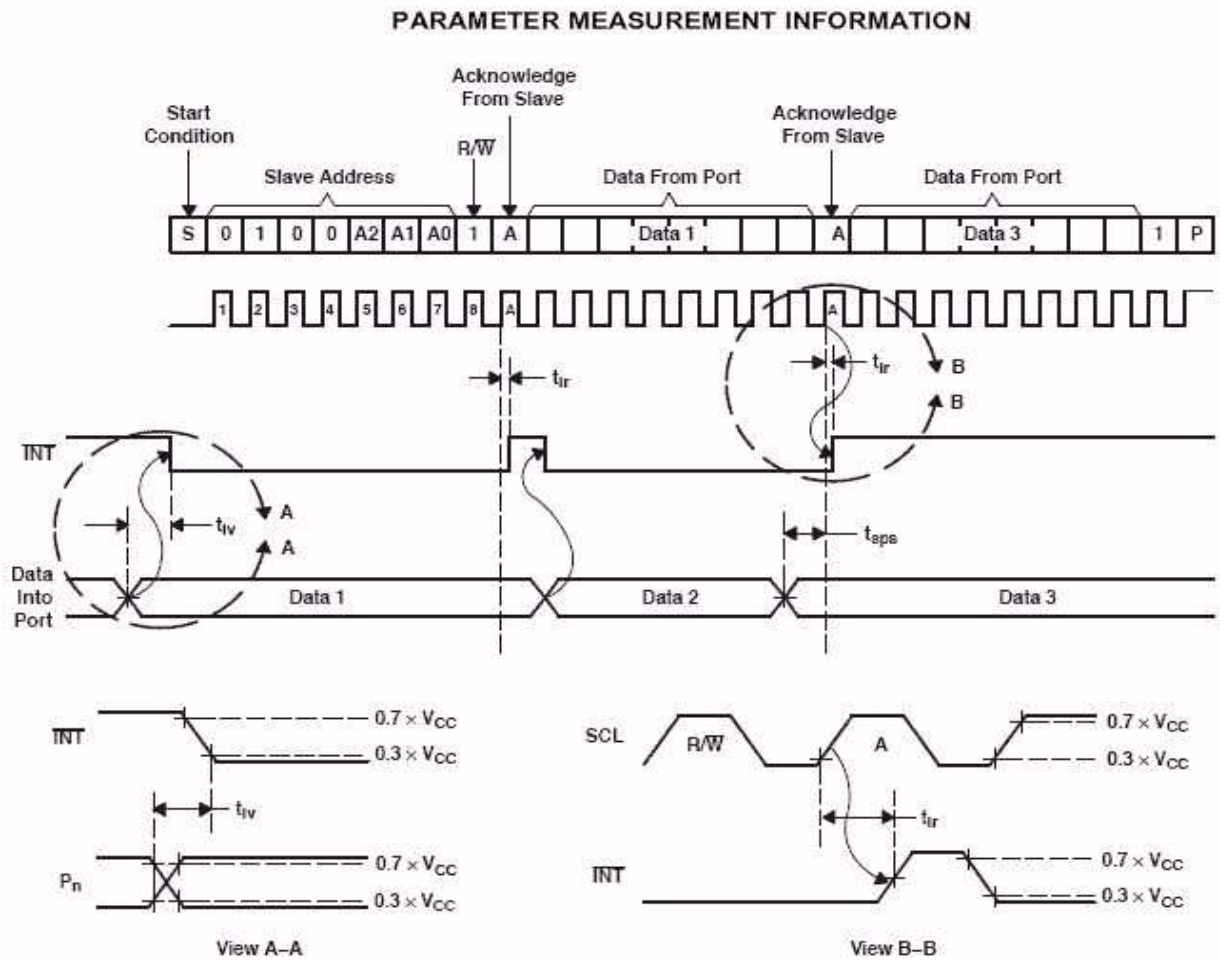


Figure 15. Interrupt Voltage Waveforms

MANIPULACIÓN

Las entradas y salidas están protegidas contra descargas electrostáticas en la dirección normal. Sin embargo, para estar totalmente seguro, es conveniente tomar las precauciones adecuadas para manejar los dispositivos MOS. Consejos se pueden encontrar en el Manual de datos IC12 bajo "Manejo de dispositivos MOS".

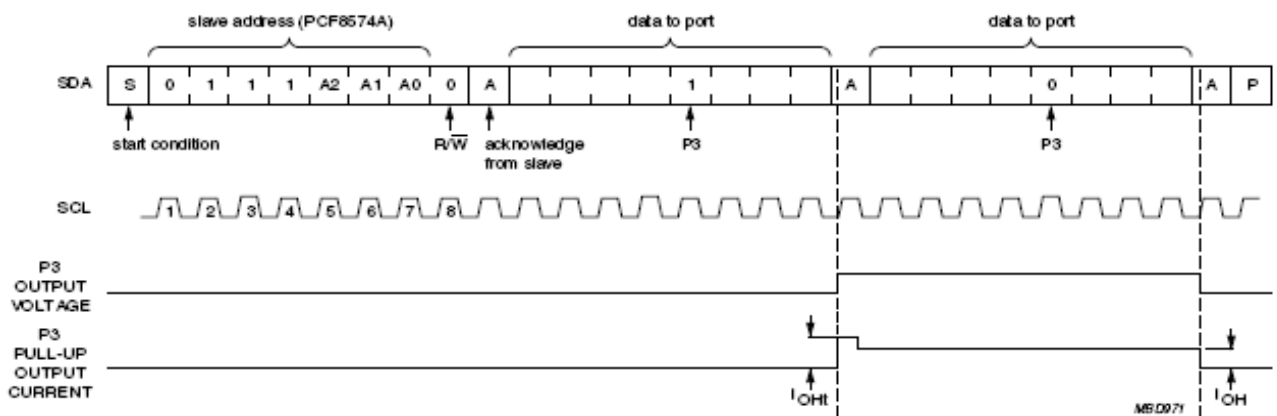


Fig.14 Transient pull-up current I_{OHt} while P3 changes from LOW-to-HIGH and back to LOW.

Para más información relevante, respecto de condiciones de trabajo y tensiones, deben seguir el enlace del Data Sheet.